

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 06291299
PUBLICATION DATE : 18-10-94

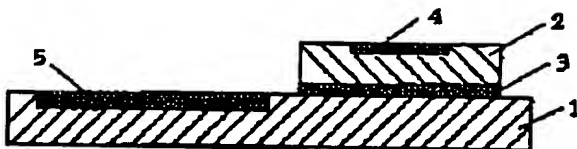
APPLICATION DATE : 28-02-92
APPLICATION NUMBER : 04042879

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : KORIYOU TETSUYOSHI;

INT.CL : H01L 27/15 H01L 27/14

TITLE : HYBRID INTEGRATED CIRCUIT AND
MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To produce a low-cost optical hybrid integrated circuit of large scale integration with high yield by providing an InP substrate coated selectively with silicon or its oxide where the InP substrate and a silicon substrate are joined.

CONSTITUTION: Electronic devices 5 such as transistors are formed on an Si substrate 1. Optical devices 4 such as a laser are formed on a InP substrate 2 including a silicon oxide film 3, which comes into direct contact with the silicon substrate. The electronic devices and optical devices on the two substrates are functionally connected through electrical interconnections to form large scale integration. Since the Si substrate 1 has a large thermal conductivity, heat dissipation is adequate if a high-power laser is formed on the InP substrate 2.

COPYRIGHT: (C)1994,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-291299

(43) 公開日 平成5年(1993)11月5日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338 29/812		9171-4M	H 0 1 L 29/80	F

審査請求 未請求 請求項の数 3 (全 3 頁)

(21) 出願番号 特願平4-92578

(22) 出願日 平成4年(1992)4月13日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 三谷 克彦

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 今村 慶憲

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 金属電極の形成方法

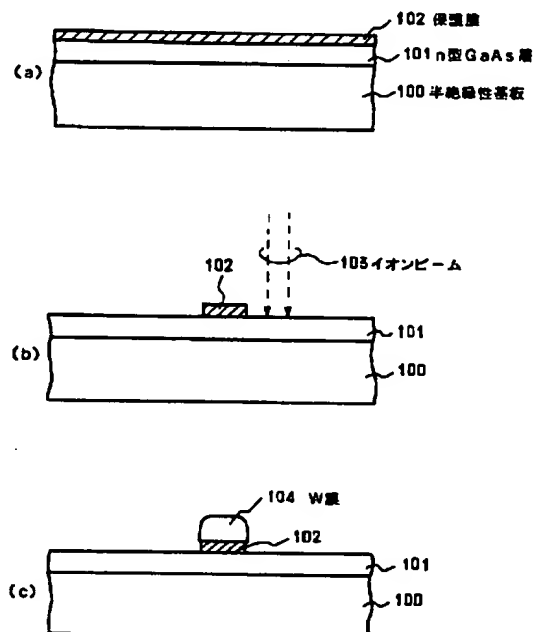
(57) 【要約】

【目的】 GaAs等の化合物半導体層上に微細な金属膜を制御性良く形成する技術を提供する。

【構成】 GaAs層101上にSを主とする単原子層レベルの保護膜102を形成した後、集束したエネルギー線、例えばイオンビーム103の照射により保護膜102の一部を選択的に除去して、所望の微細領域にのみ保護膜102を残す。次いで、金属、例えばWの選択CVD技術を適用して前記微細領域の保護膜102上にのみW膜104の被着を行う。

【効果】 GaAs層101上に集束したエネルギー線、例えばイオンビーム103の線幅と同程度の微細な領域に制御性良く金属膜、例えばW膜104を形成できる。

図 1



【特許請求の範囲】

【請求項1】化合物半導体層の表面の酸化膜を除去した後、極薄層保護膜を前記化合物半導体の表面上に形成する工程、エネルギー線の照射により、所望領域の前記極薄層保護膜を除去する工程、金属の選択CVD技術により前記化合物半導体層の上の前記極薄層保護膜を除去された化合物半導体層表面に金属を被着することなく、前記極薄層保護膜が形成されている前記化合物半導体の層上に選択的に金属を被着する工程を含むことを特徴とする金属電極の形成方法。

【請求項2】請求項1において、前記化合物半導体層表面の酸化膜を除去した後、前記極薄層保護膜を前記化合物半導体の表面上に形成する工程が、前記化合物半導体層を過飽和の硫化物溶液に浸漬する工程及び大気圧下或いは減圧下で熱処理を施す工程を含む金属電極の形成方法。

【請求項3】請求項1において、前記エネルギー線の照射による所望領域の前記極薄層保護膜の除去工程が、電子或いはイオン等の荷電粒子線のマスクレス照射により行われる金属電極の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は化合物半導体素子における金属電極の形成方法に係り、特に、化合物半導体表面に微細な金属電極を形成する方法に関する。

【0002】

【従来の技術】GaAsを主とする化合物半導体はSiに比べ電子移動度が大きく、超高速デバイスへの応用が検討されている。GaAs高速デバイスの中で、例えば、電界効果型トランジスタ(MESFET)の高速、高性能化を図るためには、Siデバイスと同様に素子の微細化による寄生成分の低減が有効である。特にゲート長を0.1 μ m前後に短縮することにより、電子のバリスティック伝導の可能性が生じるため素子の大幅な高性能化が図れる。GaAsMESFETのゲート電極には耐熱性の優れたW或いはWSi金属が用いられることが多い。W或いはWSi金属の微細加工には、例えば、ドライプロセスシンボジウム(1984)、II-2、pp25-30において記載されているように、CF₄、SF₆、NF₃等のガスを用いたドライエッチングが検討されている。

【0003】

【発明が解決しようとする課題】上述したCF₄、SF₆、NF₃等のガスによるドライエッチング技術ではレジストと充分な選択比がとれず加工断面形状及びゲート長の制御が困難であり、0.3 μ m以下の微細なゲート電極を精度良く形成することが不可能である。また、レジストマスクを通常の光リソグラフィ技術によりパターンニングしているため0.3 μ m以下の微細加工が困難である。

【0004】

【課題を解決するための手段】ゲート電極を形成する化合物半導体層表面の酸化膜を除去した後、S、Se等を含む極薄層保護膜を前記化合物半導体表面上に形成する。次に、エネルギー線の照射により、ゲート電極を形成する微細な領域を除いて前記S、Se等を含む極薄層保護膜を除去する。次いで、前記S、Se等を含む極薄層保護膜を有するゲート電極形成領域の化合物半導体層上に選択的に金属を被着する。

10 【0005】

【作用】化合物半導体表面に形成した極薄層のS、Se等を含む保護膜の所望領域を集束したエネルギー線の照射により除去することにより、収束したエネルギー線のビーム径のオーダー(電子線の場合数nm以下)の微細な領域の保護膜を化合物表面に残すことができる。S、Se等を含む保護膜を有する化合物半導体表面ではフェルミ準位のピンニングが解け、吸着分子との間で電荷移動が起こり、CVDによる金属被着が可能である。

【0006】

20 【実施例】

<実施例1>本発明の一実施例を図1に示す工程図を用いて説明する。半絶縁性基板100に形成したn型GaAs層101を過飽和の硫化アンモニウム溶液に浸漬した後、減圧雰囲気中で加熱処理(250~500℃)により、n型GaAs層101の表面にSを主とする単原子層レベルの保護膜102を形成した(図1(a))。次に試料の所望領域に集束イオンビーム103(S⁺イオン、加速電圧50kV)を走査させることにより、保護膜102を選択的に除去した(図1(b))。次いで、選択W-CVD技術を試料に適用して、n型GaAs層101上にパターンニングされた保護膜102上に選択的にW膜104の被着を行った(図1(c))。このときの選択W-CVD条件は、ガス流量WF₆:2sccm、SiH₄:1sccm、全ガス圧0.12torr、基板温度320℃である。

【0007】以上の工程により、GaAs層101上の微細な領域にW膜104の形成が可能になった。ここで、本実施例ではn型GaAs層101に対してW膜104の被着を行っているが、InAs等のその他のIII-V化合物半導体層に対しても適用可能である。

【0008】<実施例2>本発明の一実施例を図2に示す工程図を用いて説明する。半絶縁性基板200上に形成したn型GaAsよりなる能動層201を過飽和の硫化アンモニウム溶液に浸漬した後、減圧雰囲気中で加熱処理(250~500℃)により、n型GaAs層よりなる能動層201の表面にSを主とする単原子層レベルの保護膜202を形成した(図2(a))。次に電子線203の照射により、微細なゲート電極形成領域以外の保護膜202を除去した(図2(b))。電子線203の加速電圧は50kVでありビーム径は約20nmである。ま

3

た、電子線照射時に試料を加熱することにより、保護膜202の除去を容易にした。

【0009】次いで、選択W-CVD技術を試料に適用して、能動層201上にパターニングされた保護膜202上に選択的にW被着を行い、ゲート電極204を形成した(図2(c))。このときの選択W-CVD条件は、ガス流量WF₆:2sccm, SiH₄:1sccm, 全ガス圧0.12torr, 基板温度320℃である。次にAuGe/Ni/Auよりなるソース・ドレイン電極205を通常のリフトオフ法により形成してMESFETを完成した(図2(d))。

【0010】本実施例によれば、通常の光リソグラフィ技術の解像限界以下の微細な領域にドライエッチングを

4

用いることなくゲート電極204を形成できる。従来の技術において記述したようにMESFETはゲート電極204の短縮により大幅な高速、高性能化が図れる。

【0011】

【発明の効果】集束したエネルギー線の線幅と同程度のGaAs層上の微細領域に金属膜の形成を制御性良く行うことができる。

【図面の簡単な説明】

【図1】本発明の実施例1の工程図。

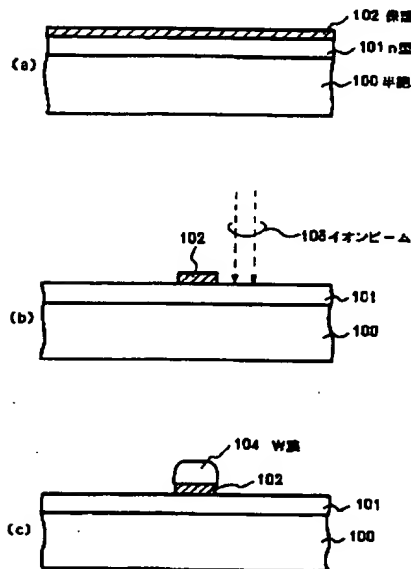
【図2】本発明の実施例2の工程図。

【符号の説明】

100…半絶縁性基板、101…n型GaAs層、102…保護膜、103…イオンビーム、104…W膜、200…半絶縁性基板、201…n型GaAs層、202…保護膜、203…電子線、204…ゲート電極、205…ソース・ドレイン電極

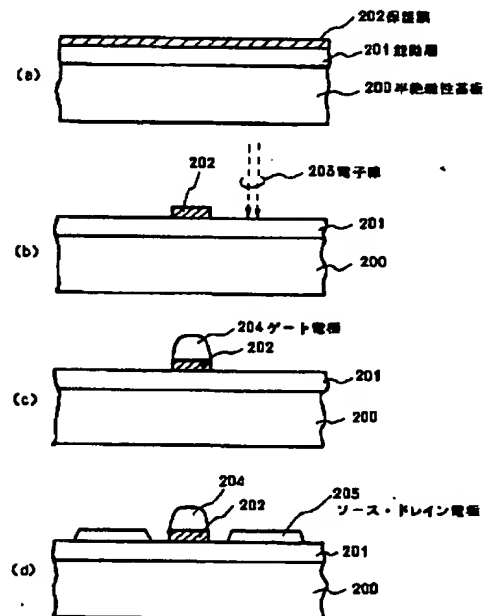
【図1】

図 1



【図2】

図 2



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.